

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Publication number: JP2003188296

Publication date: 2003-07-04

Inventor: YAMAGUCHI YASUO; NAKAMURA KUNIHIRO

Applicant: MITSUBISHI ELECTRIC CORP.

Classification

Classification:
- international: **G01P15/125; H01L21/30; H01L21/44; H01L21/46; H01L23/02; H01L29/84; G01P15/125; H01L21/02; H01L23/02; H01L29/66; (IPC1-7): H01L23/02; G01P15/125; H01L29/84**

~ БИГОВСАД ~

Application number: IP20010384261 20011218

Priority number(s): ID20010281001 00011010

Also published as:



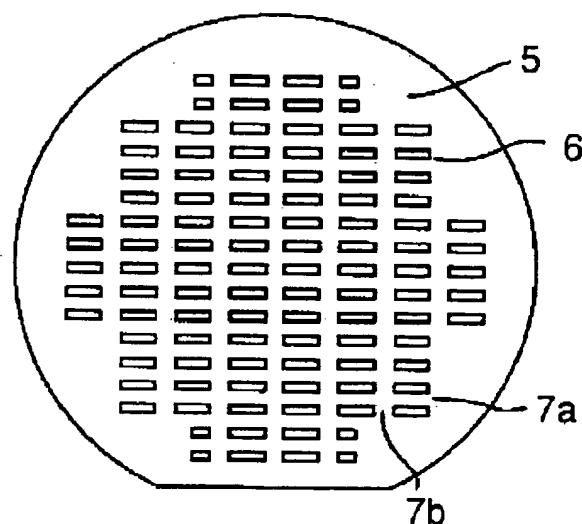
US6734040 (B2)



US2003113982 (A1)

Abstract of ID2002122000

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device capable of improving accuracy of characteristics and achieving miniaturization or cost reduction by improving a reliability and a strength upon connection.



5：キャップウェーハ

6: シリコン抜き部

7a: 第1のシリコン残し部

7b: 第2のシリコン残し部

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-188296

(P2003-188296A)

(43)公開日 平成15年7月4日 (2003.7.4)

(51)Int.Cl.*

H 01 L 23/02

G 01 P 15/125

H 01 L 29/84

識別記号

F I

マーク* (参考)

H 01 L 23/02

J 4 M 1 1 2

G 01 P 15/125

H 01 L 29/84

Z

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号

特願2001-384261(P2001-384261)

(22)出願日

平成13年12月18日 (2001.12.18)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 山口 靖雄

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 中村 邦宏

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100062144

弁理士 青山 葉 (外1名)

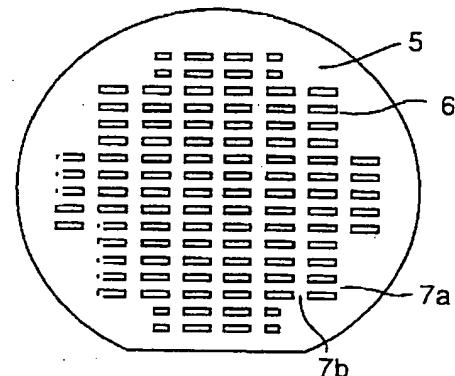
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 接合時の信頼性及び強度を向上させることにより特性精度を向上させるとともに、小型化あるいはコストダウンを達成することのできる半導体装置の製造方法を提供すること。

【解決手段】 第1の方向に延びる複数列の第1のシリコン残し部7aと第1の方向とは直交する第2の方向に延びる複数列の第2のシリコン残し部7bとをキャップウェーハ5に形成し、第1及び第2のシリコン残し部7a, 7bの間に形成されたシリコン抜き部6を半導体ウェーハに接合された半導体素子の電極部上に位置するようキャップウェーハ5を半導体素子に接合するようにした。



5:キャップウェーハ

6:シリコン抜き部

7a:第1のシリコン残し部

7b:第2のシリコン残し部

の溝エッティング部分がウェーハ裏面で連続してつながらないようにウェーハ上の素子パターンを形成したもので、この方法も本願発明とは構成において異なっている。

【0012】また、請求項2に記載の発明は、キャップウェーハを半導体素子に接合した後、キャップウェーハを研磨することにより第2のシリコン残し部を除去するようにしたことを特徴とする。

【0013】さらに、請求項3に記載の発明は、第2のシリコン残し部とダイシングラインを一致させ、第2のシリコン残し部に沿ってダイシングを行うようにしたことを特徴とする。

【0014】なお、特開平10-4199号公報には、ダイシング用の切断刃が半導体ウェーハを切断する際に生じるチッピングを防止するために、半導体ウェーハを冷凍により固定したもので、請求項3に記載の発明は、この公報には開示されていない。

【0015】また、請求項4に記載の発明は、気密封止した半導体装置の製造方法であって、半導体ウェーハに半導体素子を接合し、キャップウェーハにザグリ部を形成し、半導体素子の電極部がザグリ部に収容されるようにキャップウェーハを半導体素子に接合し、キャップウェーハを研磨することにより半導体素子電極部の上方に位置するキャップウェーハを除去するようにしたことを特徴とする。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。本発明は、気密封止した半導体装置を製造するために使用されるが、以下の実施の形態では容量式加速度センサを例に取り説明する。

【0017】実施の形態1、図1は、本発明の実施の形態1にかかる容量式加速度センサに取り付けられるキャップウェーハ5を示しており、第1の方向(図1では水平方向)に等間隔で延びる複数列の第1のシリコン残し部7aと、この第1のシリコン残し部7aを補強するために、第1の方向とは直交する第2の方向(図1では垂直方向)に等間隔で延びる複数列の第2のシリコン残し部7bが形成されている。

【0018】なお、多数の加速度センサ素子3が加速度センサウェーハ1上の加速度センサ素子配置部2に接合されるとともに、加速度センサウェーハ1とは別々に加工、製造されたキャップウェーハ5が加速度センサ素子3に重ね合わせて接合されるようにした構成等については、図8乃至図11に示される従来例と同一なので、その説明は省略する。

【0019】図1のキャップウェーハ5においては、補強用の第2のシリコン残し部7bを設けたことで、図10の従来例のような短冊状のシリコン残し部7がなく、十分な強度があることから、キャップウェーハ5の製造

時における割れの発生を防止することができる。また、接合時においても、熱による歪がなく、特に細い短冊部の横方向の振れに対して、ほとんど影響を受けることなく接合を行うことができる。

【0020】実施の形態2、上述した実施の形態1においては、加速度センサ素子3は、加速度センサウェーハ1の加速度センサ素子配置部2に一様に配置されているため、補強用の第2のシリコン残し部7bの直下に位置する加速度センサ素子3は使用不能である。

【0021】本実施の形態は、このような使用不能な加速度センサ素子3をなくし、すべての加速度センサ素子3を使用可能にしたものである。

【0022】図2は、本実施の形態にかかるキャップウェーハ5の製造と接合までのフローを示しており、加速度センサウェーハ1の製造方法については省略している。

【0023】まず、図2(a)に示されるように、加速度センサウェーハ1の片面(図2(a)では下面)の加速度センサ素子可動部8(図2(g1)参照)に対応する部分以外の部分に、写真製版によりレジスト膜(図示せず)を形成した後、このレジスト膜を用いて下地のシリコン酸化膜あるいはシリコン塗化膜を所望の形状に加工する。次に、図2(b)に示されるように、この酸化膜あるいは塗化膜をシリコンエッティングマスク9として使用して、エッティング加工により2~100μm程度の深さで掘り下げ、第1のザグリ部10を形成する。

【0024】同様にして、図2(c)に示されるように、加速度センサウェーハ1の片面の加速度センサ素子電極部4に対応する部分以外の部分に、写真製版によりレジスト膜(図示せず)を形成した後、このレジスト膜を用いて下地のシリコン酸化膜あるいはシリコン塗化膜を所望の形状に加工する。さらに、図2(d)に示されるように、この酸化膜あるいは塗化膜をシリコンエッティングマスク11として使用して、エッティング加工により第1のザグリ部10より深い10~200μm程度の深さで掘り下げ、第2のザグリ部12を形成する。

【0025】次に、図2(e)に示されるように、加速度センサウェーハ1の片面に酸化膜あるいは塗化膜のシリコンエッティングマスク13を形成するとともに、その反対面の加速度センサ素子電極部4に対応する部分以外の部分に、写真製版によりレジスト膜(図示せず)を形成した後、このレジスト膜を用いて下地のシリコン酸化膜あるいはシリコン塗化膜を所望の形状に加工する。さらに、この酸化膜あるいは塗化膜をシリコンエッティングマスク14として使用して、図2(f1)に示されるように、エッティング加工により掘り下げ、貫通してシリコン抜き部6を形成する。なお、図2(f1)は図3の線A-Aに沿った断面図であり、図2(f2)は図3の線B-Bに沿った断面図である。図2(f2)に示されるように、キャップウェーハ5の一部分はシリコンの残し

第2のシリコン残し部に沿ってダイシングを行うようにしたので、チップサイズの小型化ひいてはコストダウンを達成することができる。

【0042】また、請求項4に記載の発明によれば、半導体ウェーハに半導体素子を接合し、キャップウェーハにザグリ部を形成し、半導体素子の電極部がザグリ部に収容されるようにキャップウェーハを半導体素子に接合し、キャップウェーハを研磨することにより半導体素子電極部の上方に位置するキャップウェーハを除去するようにしたので、キャップウェーハ加工が簡略化できるとともに、シリコン抜き部を形成しない構成のため、キャップウェーハの強度がさらに向上し、接合時の信頼性及び強度が向上し特性精度の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる容量式加速度センサに取り付けられるキャップウェーハの平面図である。

【図2】 本発明の実施の形態2にかかる容量式加速度センサの製造工程を示す概略断面図である。

【図3】 図2(f1)及び(f2)に示されるキャップウェーハの部分斜視図である。

【図4】 キャップウェーハを研磨した後の加速度セン

サの部分斜視図である。

【図5】 図4の部分拡大斜視図である。

【図6】 本発明の実施の形態3にかかる容量式加速度センサの部分斜視図である。

【図7】 本発明の実施の形態4にかかる容量式加速度センサの部分斜視図である。

【図8】 従来の容量式加速度センサに使用されるセンサウェーハの平面図である。

【図9】 図8のセンサウェーハに接合されるセンサ素子の斜視図である。

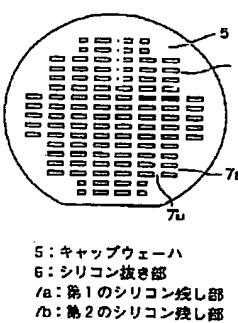
【図10】 図9のセンサ素子に接合されるキャップウェーハの平面図である。

【図11】 図8のセンサウェーハに図10のキャップウェーハを重ね合わせた状態を示す縦断面図である。

【符号の説明】

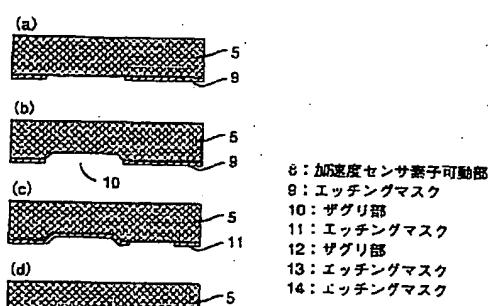
1 加速度センサウェーハ、2 加速度センサ素子配置部、3 加速度センサ素子、4 加速度センサ素子電極部、5 キャップウェーハ、6 シリコン抜き部、7a 第1のシリコン残し部、7b 第2のシリコン残し部、8 加速度センサ素子可動部、9 エッチングマスク、10 ザグリ部、11 エッティングマスク、12 ザグリ部、13 エッティングマスク、14 エッティングマスク、15 ダイシングライン

【図1】



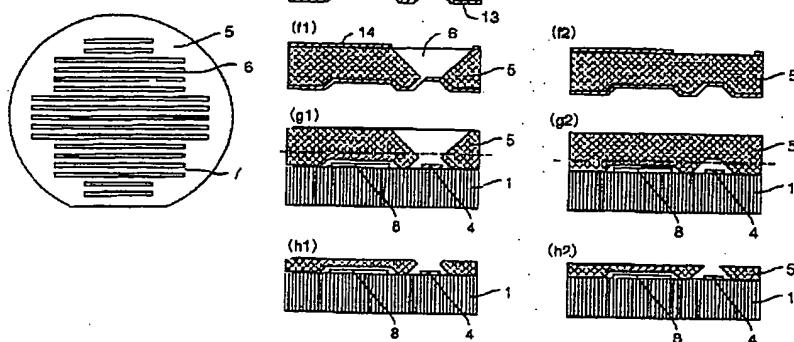
5: キャップウェーハ
6: シリコン抜き部
7a: 第1のシリコン残し部
7b: 第2のシリコン残し部

【図2】

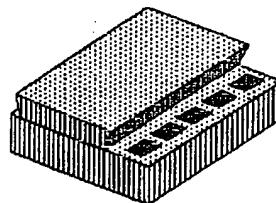


8: 加速度センサ素子可動部
9: エッティングマスク
10: ザグリ部
11: エッティングマスク
12: ザグリ部
13: エッティングマスク
14: エッティングマスク

【図10】



【図7】



【図8】

